

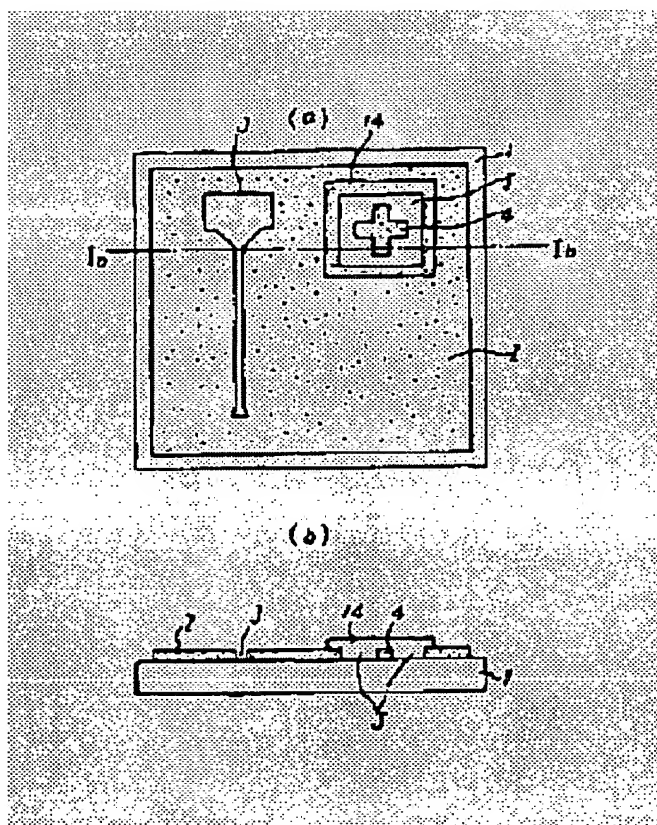
MASK

Patent number: JP4261537
Publication date: 1992-09-17
Inventor: MURASE ISAO
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- **International:** G03F1/08; H01L21/027
- **European:**
Application number: JP19910004299 19910118
Priority number(s): JP19910004299 19910118

Report a data error here

Abstract of JP4261537

PURPOSE:To obtain the mask which allows the use of the alignment marks of a semiconductor substrate to be used at the time of pattern transfer in plural stages of the process for producing a semiconductor device. **CONSTITUTION:**A filter 14 is so provided as to cover the substrate side alignment mark image transmission region 5 of the mask. This filter 14 allows the transmission of the alignment light at the time of transferring the patterns by using the mask, and shuts off the light of the sensitivity region of a photosensitive resin film.



Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-261537

(43) 公開日 平成4年(1992)9月17日

| | | | | |
|---------------------------|------|---------|---------------|---------|
| (51) Int.Cl. ⁵ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
| G 0 3 F 1/08 | N | 7369-2H | | |
| H 0 1 L 21/027 | | 7352-4M | H 0 1 L 21/30 | 3 0 1 P |
| | | 7352-4M | | 3 0 1 M |

審査請求 未請求 請求項の数1 (全 4 頁)

(21) 出願番号 特願平3-4299

(22) 出願日 平成3年(1991)1月18日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 村瀬 功

伊丹市瑞原4丁目1番地 三菱電機株式会

社北伊丹製作所内

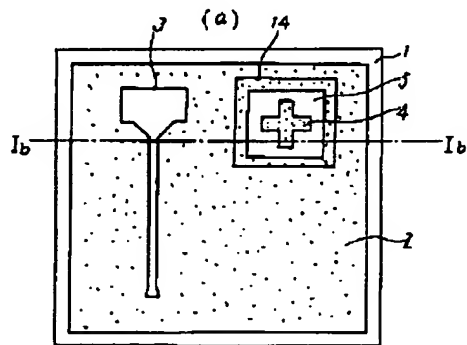
(74) 代理人 弁理士 高田 守 (外1名)

(54) 【発明の名称】 マスク

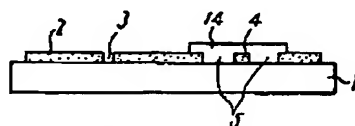
(57) 【要約】

【目的】 パターン転写時に用いる半導体基板のアライメントマークが、半導体装置の製造工程の複数工程で使用可能となるマスクを得る。

【構成】 マスクの、基板側アライメントマーク像透過領域5を覆うようにフィルタ14を設ける。このフィルタ14は、マスクを用いてパターン転写する際のアライメント光を透過し、感光性樹脂膜の感度領域の光を遮光するものである。



(b)



5: 基板側アライメントマーク像透過領域

14: フィルタ

【特許請求の範囲】

【請求項1】 アライメント光は透過し、感光性樹脂膜の感度領域の光は遮光するフィルターを、基板側アライメントマーク像透過領域を覆うように設けたことを特徴とするマスク。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置の製造に使用するマスクに関するものである。

【0002】

【従来の技術】 図4は、従来のマスクの構造を、半導体基板上にゲート電極パターンを転写するのに用いるマスクについて示した平面図である。図において、1は石英ガラスより成るガラス板、2はクロム(Cr)膜からなる遮光部、3はゲートパターン領域、4はゲートパターン転写時に用いるアライメントマーク、5はゲートパターン転写時の基板側アライメントマーク像透過領域、6はゲートパターン形成後のパターン転写に用いる基板側アライメントマーク領域である。ここで、遮光部2とアライメントマーク4は遮光部分であり、ゲートパターン領域3、基板側アライメントマーク像透過領域5、および基板側アライメントマーク領域6は透光部分である。

【0003】 次に前記、従来のマスクを用いて電界効果トランジスタ（以下、FETと称す）のゲート電極パターンを転写する際の作用について説明する。図2は、ソース・ドレイン電極形成後のFETの平面図であり、半導体基板7上のスクラブライン領域8によって分けられた1チップ分である。図において、9はソースおよびドレイン電極、10は基板側アライメントマークである。

【0004】 図2に示すFETの基板7上にポジ型フォトリソグロフィ技術を全面に塗布し、図4に示すマスクを用いて、フォトリソグロフィ技術により露光する。この時基板7とマスクの位置合わせは、FETの基板側アライメントマーク10の位置をマスクの基板側アライメントマーク像透過領域5を通して確認しながら、マスクのアライメントマーク4が、FETの基板側アライメントマーク10の間にうまく入るように合わせる。次に現像、金属蒸着およびリフトオフの各工程を行うことによりFETのゲート電極パターンは形成される。図5はゲート電極パターンが形成されたFETの平面図である。このように、マスクと基板7の各アライメントマークを合わせることで、ソース・ドレイン電極9の間の所望の位置にゲート電極パターン11が形成される。

【0005】 ところで、マスクの基板側アライメントマーク像透過領域5は透光部分であるため、図5に示す様に、対応するFETの領域12（基板側アライメントマーク10を含む領域）上に、ゲート金属が蒸着される。このため基板側アライメントマーク10上にゲート金属が付着する為、次工程のパターン転写に用いるアライメントマ

メントマーク領域6を用いて、次工程アライメントマーク13を形成する。

【0006】

【発明が解決しようとする課題】 従来のマスクは以上のように構成されているので、基板側アライメントマーク10はパターン形成後には使用できなくなる。このためFETの製造工程におけるパターン転写の各工程毎に新たなアライメントマークが必要となり、その結果、基板内のアライメントマークの領域が増大し、また、アライメントマークの数が多いために併い、アライメント誤差も増大するなどの問題点があった。

【0007】 この発明は上記のような問題点を解消するためになされたものであって、パターン転写時に用いる基板のアライメントマークが、半導体装置の製造工程の複数工程で使用可能となるマスクを得ることを目的とする。

【0008】

【課題を解決するための手段】 この発明に係るマスクは、アライメント光は透過し、感光性樹脂膜の感度領域の光は遮光するフィルターを、基板側アライメントマーク像透過領域を覆うように設けたことを特徴とするものである。

【0009】

【作用】 上記のように構成されたマスクを用いて、半導体基板上にパターン転写を行うと、基板側アライメントマーク像透過領域を覆っているフィルターはアライメント光を透過するため、アライメントマークを確認してマスクと基板の位置合わせができる。また、上記フィルターは露光光を遮光するので、基板のアライメントマーク上にはパターンが形成されない。このため基板のアライメントマークは再度利用することができる。

【0010】

【実施例】 実施例1.

以下、この発明の一実施例を図について説明する。なお、従来の技術と重複する部分は、適宜その説明を省略する。図1(a)はこの発明の一実施例による、ゲート電極パターンの転写に用いるマスクの平面図、図1(b)は図1(a)のIb-Ib線における断面図である。図において、1～5は従来のものと同じもの、14は基板側アライメントマーク像透過領域を覆うように設けられたフィルタである。

【0011】 上記フィルタ14は、アライメント光は透過するが、フォトリソグロフィ（感光性樹脂膜）を感光する光、例えば紫外線は遮光するものである。

【0012】 次に図1に示すマスクを用いてFETのゲート電極パターンを転写する際の作用について説明する。図2に示す、ソース・ドレイン電極9形成後のFETの基板7上にポジ型フォトリソグロフィ技術を全面に塗布する。次に図1に示すマスクを用いて、フォトリソグロフィ技術により露光する。このとき、フィルタ14はアライ

メント光を透過するため、マスクと基板7の位置合わせは従来と同じ方法ですることができる。

【0013】次に、現像、ゲート金属蒸着、およびリフトオフの各工程を行うことによりFETのゲート電極パターンは形成される。図3は、図1に示すマスクを用いてゲート電極パターンを形成したFETの平面図である。このように、ソース・ドレイン電極9の間の所望の位置にゲート電極パターン11が形成される。

【0014】ここで、マスクの基板側アライメントマーク像透過領域5は透光部分であるが、フィルタ14に覆われている。このフィルタ14は、アライメント光を透過するので、従来と同様に、基板側アライメントマーク像透過領域5を通して基板7の基板側アライメントマーク10を確認して、マスクと基板7の位置合わせを行うことができる。しかし、フィルタ14は同時にフォトリソ膜を感光する光を遮光するものなので、露光光を透過しない。すなわち、基板側アライメントマーク像透過領域5は透光部分であるが、フィルタ14に覆われているため露光光を透過しない。このため、基板側アライメントマーク10は、ゲート金属が蒸着されることなく次工程のパターン転写の際に再度アライメントマークとして利用で

きる。

【0015】

【発明の効果】以上のように、この発明によれば、マスクに、フィルタを基板側アライメントマーク像透過領域を覆うように設けているので、基板のアライメントマークの再利用が可能となる。このため、基板のアライメントマークの領域が縮少でき、また、半導体装置製造の転写の各工程で発生するアライメント誤差が大幅に低減でき、半導体装置の信頼性が向上する。

【図面の簡単な説明】

【図1】この発明の実施例1を示す平面図および断面図

【図2】パターン転写前のFETの平面図

【図3】この発明の実施例1のマスクを用いてパターン形成を行った後のFETの平面図

【図4】従来のマスクを示す平面図

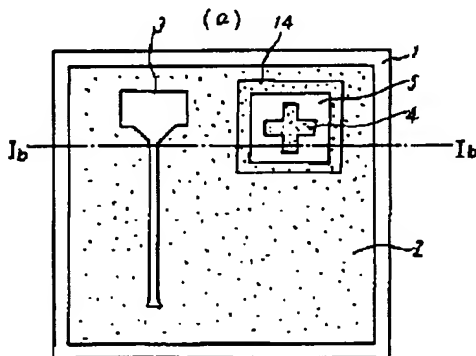
【図5】従来のマスクを用いてパターン形成を行った後のFETの平面図

【符号の説明】

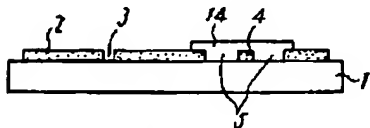
5 基板側アライメントマーク像透過領域

14 フィルタ

【図1】



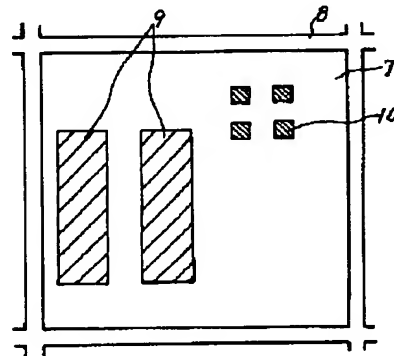
(b)



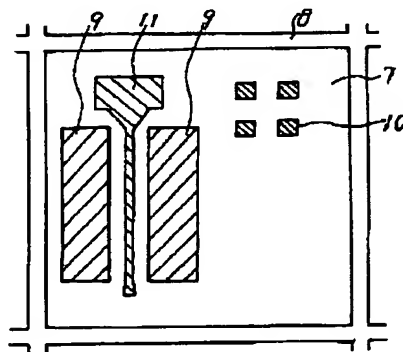
5: 基板側アライメントマーク像透過領域

14: フィルタ

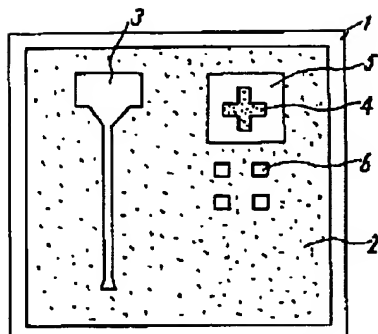
【図2】



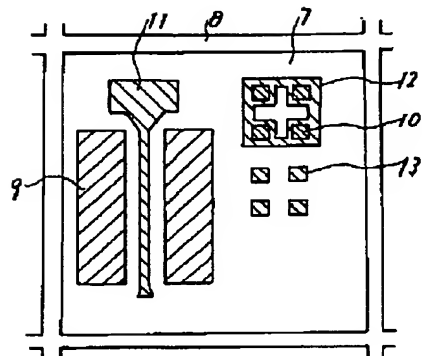
【図3】



【図4】



【図5】



【手続補正書】

【提出日】平成3年6月13日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】

【発明が解決しようとする課題】従来のマスクは以上の

ように構成されているので、基板側アライメントマーク10はゲート電極パターン形成後には使用できなくなる。この様にFETの製造工程におけるパターン転写の各工程毎に新たなアライメントマークが必要となり、その結果、基板内のアライメントマークの領域が増大し、また、アライメントマークの数が増すことにより、アライメント誤差も増大するなどの問題点があった。